

半導体の歴史

— その30 20世紀後半 超 LSI への道 —
1980年代後半から1990年前半 Flash メモリ その2



株式会社フローディア
代表取締役社長
おくやま こうすけ
奥山 幸祐

東芝に於ける NAND 型 Flash メモリの開発



舛岡富士雄

1987年4月に NAND Flash の特許提案を行った舛岡富士雄は、NAND 型 Flash の開発するため、半導体事業部から東芝総合研究所の中の集積回路 (ULSI) 研究所に13年ぶりに戻り、ULSI 研究所の [UL3研] に配属される。[UL3研] は部長が飯塚尚和で Si メモリ、イメージセンサー、GaAs などの当時の先進デバイスを開発している部署である。舛岡は [UL3研] で課長として1994年に

東芝を退職するまでの7年間、舛岡の下に結成された NAND 型 Flash 開発チームと共に NAND 型 Flash メモリの実現に向けて駆けてゆく事になる。

以下、当時舛岡の下で開発チームの取り纏め役であるテーマ長を務められた白田理一郎氏 (現在、台湾交通大学教授、以下敬称略) から提供して頂いた資料 [1] を元に振り返る。

NAND 型 Flash 開発チーム

[UL3研] では舛岡の下に、白田、桐澤亮平、百富正樹、伊藤寧夫、岩田佳久、井上聡、中山良三、大平秀子の8人が配属される。いずれも、それまでバイト消去型 EEPROM の研究開発を行っていたメンバーである。白田がチーム全体の取り纏め役のテーマ長を務めながらデバイス/インテグレーションの纏め役を担い、百富が設計の纏め役を担当する。デバイス/インテグレーションは白田の下に桐澤、井上、中山の3名、設計は百富の下に伊藤、岩田、大平の3名で構成されている。



白田理一郎

桐澤亮平

百富正樹



伊藤寧夫



岩田佳久



有留誠一

作井康司

今宮賢二



当初、舛岡の元8人で発足した NAND 型 Flash 開発チームは、その年の新人として田中智晴、遠藤哲郎が配属され、翌年の1987年末に、それまで DRAM の研究を行っていた有留誠一がデバイス/インテグレーション担当として配属、その後も1989年に設計チームに DRAM の設計経験豊富な

作井康司が加わると共に、元事業部の研究所である半導体技術研究所として今宮賢二、荒木仁らのメンバーが加わり、又 [UL3研] の新人として1992年までに丹沢徹、竹内健らが加わって行く。井上はしばらくして DRAM に移り、1990年に退社し、セイコーエプソンに移り、中山は後に別の事業部に移籍し、大平が大分後に退社するなどによりグループ人員の増減はあるものの、舩岡が退社する1994年までに常に10数人の陣容で研究が進められていく。

.....



田中智晴

丹沢徹

竹内健

.....

■ NAND 型 Flash メモリセルのコンセプト

舩岡の持論は前稿にも記載したが、ビット単価の小さいメモリ製品が市場を制覇するということである。その為には読み出し速度などの性能を気にしてはならない。性能はそれまでのメモリ製品に比べて100分の1になっても良い。大事な事はビット単価を小さくすることである。不揮発性メモリ製品で DRAM よりも小さなビット単価が実現できれば DRAM 市場よりも大きな市場を形成できる。半導体の不揮発性メモリ製品で如何に最小のビット単価を実現するか、それが唯一のコンセプトである。このコンセプトの下で舩岡が編み出したのが NAND 型 Flash のセル構造である。舩岡は、1970年代後半から DRAM のメモリセルよりも小さいものが実現できれば DRAM の市場をも席卷できると考えていたが、この頃は DRAM メモリ製品が最もビット単価の小さい半導体メモリ製品であり、DRAM がこれから更に大きく羽ばたこうとしているこの時期に不揮発性デバイスでメモリ製品市場を席卷することができると考えて、それを実行に移そうと考えた研究者は、少なくともこの時期には舩岡以外にはいないと言っても過言ではない。不揮発メモリセルを小さくする手法を考える研究者が居たとしても、それによって DRAM 以上の市場を形成できると信じていた研究者は舩岡以外にいなかったと言える。特に当時の日本では殆どの半導体の開発者は DRAM 信奉者であり、DRAM が半導体開発の全てを牽引して行くことを信じて研究開発が進められている。不揮発性メモリ素子は、DRAM 製造の為に使われた旧製造ラインを活用するための

半導体製品の一製品に過ぎないと言う考え方が大半を占める。大型コンピュータやパーソナルコンピュータではソフトウェアのプログラムやデータなどのデータの格納には、最もビット単価の小さい磁気ディスク記憶装置で行い、これらのデータの内の、必要な分を磁気ディスク記憶装置から読み出し、DRAM や SRAM などの読み出し速度が速い半導体メモリに再格納して CPU との間で高速動作を行う。メモリ容量の最も大きい記憶装置は磁気ディスクなのである。舩岡は磁気ディスク記憶装置そのものを半導体不揮発メモリ製品で置き換えることに挑戦し続けたのである。この置き換えが可能になれば、パーソナルコンピュータなどに代表される電子機器の大幅なダウンサイジングや性能向上が図れることにより、半導体メモリ製品の市場が大幅に広がる。それを信じて実行し続けたのが舩岡である。この舩岡の考えが、他の人々に理解されていくのが1990年代半ばであり、実際の製品として本格的に拡大して行くのが2000年代になる。舩岡が1994年に東芝を去ってゆく事になるが、本格的に市場に受け入れられ、舩岡のコンセプトが正しかったことが実証されてゆくにはそれからほぼ10年を要している。

舩岡が1ビット当たりのコストを低減するという考え方を最初に不揮発メモリ製品で実践したのは一括消去(フラッシュ)方式を用いた NOR 型 Flash である。従来の NOR 型 EPROM から消去方式を一括消去方式にすることで2つのトランジスタから成るセル構造を1つのトランジスタで構成できるようにしたものである。この構造でセル面積が漸く DRAM セルに近づくことになるが、書き換え時に高電圧を印加することからトランジスタそのものが大きく、DRAM セルより大きいものになる。また、NOR 型 Flash セルのレイアウト構造は、各セルに1つのトランジスタ以外にビット線とソース線用拡散層が必要であり、この部分を縮小することは困難である。セル面積をこれ以上に縮小するためにはビット線コンタクト部及びソース線用拡散層面積を小さくする必要があり、複数のメモリセルを直列に繋ぐことでこれらを共有する方式が、舩岡が提案した NAND 型 Flash 構造 [2] である。トランジスタを直列に繋いだメモリセル方式は既にマスク ROM で製品化され、すでに知られていたが、舩岡はこの方式を Flash に応用する。書換えに高電圧を印加する必要がある Flash 素子を直列に繋ぐことは困難なことであり、舩岡の発想が初めての物となる。複数個の Flash 素子を直列に繋ぐことにより、メモリセルの面積がほぼ1トランジスタで形成できることからセル面積を小さくでき、DRAM セルよりも小さくなる。直列に繋いだだけ読み出し速度は遅くなり性能低下を招くことになるが、舩岡の持論である、市場の大きさは性能ではなく、ビット単価で決まると言うコンセプトを満足する構造となる。現在でも良く高性能メモリの新規提案が為されるが、スピード、コスト等でどれもそれな

りの優等生は要らない。ビット単価が最も低いと言う一つ際立った物が有れば価値が有るが、そうでない物は中途半端で価値に乏しいのである。

III NAND型Flashメモリの実現に向けて

舛岡の下、白田をテーマ長とし、9人のメンバーで研究が開始される。設計は百富、デバイス・インテグレーションは白田が受けもつ。メンバーは初年度で13人まで増強されている。少人数とは言え、纏まった1つのメンバーを全く新規のデバイスの研究・開発にあてがう事はそう簡単ではない。事業部から独立した総合研究所だったからこそ出来た事で有っただろうと白田は回想している。1つの新規デバイスを立ち上げるためには多くの開発費を必要とし、研究所内での予算確保が必要となるが、比較的潤沢な費用があてがわれている。その上で事業部からの口出しも少なく、かなり研究所内で自由に研究が任されている。この点について、白田は「その点、昔の東芝には研究所と事業部との良い関係が有り、金は出すが口はあまり出さなかった。というのも当時のULSI研究所の武石所長の存在が大きかったのかもしれない。1986年の1Mビット-DRAMの成功にはULSI研究所内の開発棟が大きな役割を果たした事も後押ししていただろう。[UL3研]はSiメモリ、イメージセンサー、GaAsの新規製品開発を行っていた。現時点で考えても先進的な役割を果たしたと言える。この点[UL3研]長であった飯塚氏の深い読みが有ったと考えられる。しかしながら、武石所長が故人となられた後、さらにULSI研究所を支えていた部長方も退職され、1990年代の後半、1996年頃にはULSI研究所は解体され、事業部の研究所と総合研究所の別々の部隊に吸収された。総合研究所には単体トランジスタの研究をする部隊は残ったが、LSIの研究をする部隊は事業部の研究所に吸収された。ここでLSIの研究開発とトランジスタの基礎研究が分離された。もっとも1980年代とそれ以降のLSIを巡る環境も大きく異なるため、単純にULSI研究所の解体イコール研究開発能力の低減とは言えないだろう。しかし新しいデバイスを開発する有効な場を1990年代に失ったのではないかとの思いは残る。」と振り返っている。

当初、舛岡はNAND構造であればEPROMでもEEPROMでもどちらでも良いと考える。その上でNOR型と同じ書き込み方式である、ホットエレクトロン注入による書き込み方式をまず始めに試みる。

研究開始時にはNAND構造のTEG (Test Element Group) が無いために、単体のEPROMセルをアセンブリしたものを4段繋いでNANDセル構造にして測定する。直列接続されたセルアレイ内の特定のセルのみに書きこむ選択性に難が有ったが、データを纏めて1987年のIEDMに発表している[3]。次に、開発グループはよりデータの選択

性に優れた別の方式の開発へと移行した。

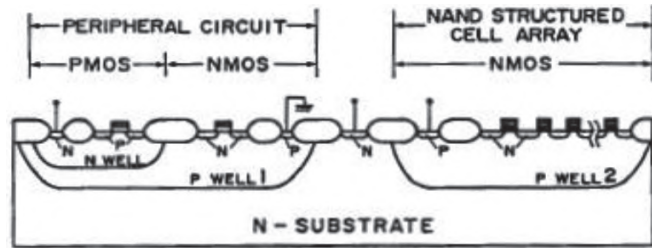
それは消去の際にSi基板からトンネル現象を使いフローティングゲート (FG) に電子注入し、書き込みの際にFGから選択メモリセルのドレインに電子を抜く方式である(百富、他)。この方式を用いて小規模のメモリアレイを構成したTEGを作成し、このTEG評価結果纏め、VLSI symposiumとIEDMに発表[4]、さらに4Mビットのテストチップを作成しISSCCに発表している(伊藤、他)[5]。このテストチップにはビット線毎にページ・バッファ回路が接続され、ビット線毎に読み出しと書き込みが出来るようになっている。この評価と同時にNAND型Flashに関わるセルアレイと周辺回路の動作と構造に関わる特許網構築をめざし数多くの特許やNAND型Flashに合った書き込み・消去法等の特許を提案してゆく。書き込み・消去方式はこの後大きく変更されるが、この周辺回路構造は現行方式と大まかにはあまり変わらず、それに先立つ物である。尚、数多くの論文を発表した背景には他社にNAND型Flashを認めさせ、それにより東芝内を認めさせるという舛岡の戦略がある。つまり自社内では正しく自社技術を評価されにくいという認識で、外部から認めさせるという作戦である。この論文発表は、新人の技術者のレベルアップにも大いに役立ち、舛岡の戦略の二次的効果となる。

このドレインへの電子抜きを用いた書き込み方式には大きな問題点があることが判ってくる。ひとつはビット線にホットキャリアを発生させるために必要な高電圧を印加しなければならない事であり、もう一つは書き込みの際に起こる、ゲート電極端部のドレインでの酸化膜へのホットホール注入による特性劣化による信頼性低下である。これらの事は、デバイスの信頼性低下のみでなく、Flashデバイスのゲート寸法のスケールリング(縮小)の限界を招くことになり、メモリセル面積の縮小化を阻むことになる。この問題点を克服するために、よりNAND型Flashにより適合した動作方式を提案する(白田、他)[6]。その方式は書き込み時にSi基板をグラウンドレベルにし、コントロールゲートに高電圧を印加することでフローティングゲートとSi基板間に高電界状態にして、フローティングゲートにFNトンネル電子を注入する方式である。この方式はゲート電極とSi基板間だけに電圧を印加する為に、平面方向に書き込み電圧が加わることがなく、平面方向のスケールリングが可能になる。このFNトンネル書き込み方式が提案されたことにより、舛岡のNAND型メモリセル構造と併せてNAND型Flashの基本技術であるメモリセル構造と動作方式が揃う事になる。

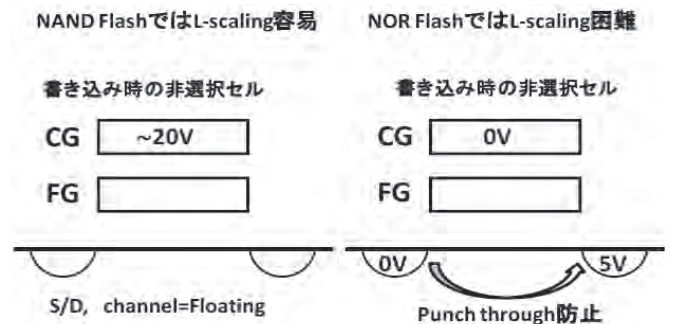
消去にはコントロールゲートを0Vにし、Si基板に20V前後の高電圧を与える。その為にN型のSi基板(N-Sub)を用い、メモリセルアレイ部と周辺を別々のP型Well層

(P-Well) で覆う構造にする。消去時に N-sub とメモリセルアレイ部の P-Well に高電圧を与えても周辺 P-Well を 0V に保つためである。この方式はメモリセルアレイ全部を 1つの P-Well に入れるため、Well とその下の基板の電位が安定するか、周辺 P-Well とメモリセルアレイ部の P-Well 間の耐圧を確保できるかなどの問題がある。この問題を解決する為に白田は桐澤と 2 人で TEG のレイアウトから試作まで行い、Well 耐圧が持つ条件を探す事から始める。

の電位差で電子の出し入れを行うため、ソース・ドレインの拡散層を極力薄くする事が可能になりこれもメモリセルサイズの縮小を可能にしている。一方 NOR 型 Flash ではホットエレクトロン書き込みを行うため、メモリセルのソースとドレイン間に約 5V の電位差が生じるためパンチスルー耐圧を持たせるためにゲート長を縮小出来ない。また、ドレインの拡散層の濃度を高濃度にする必要があり拡散層の面積を縮小出来ない。



NAND 型 Flash の Well 構造



書き込み時の非選択セルでの電位状態比較

FN トンネル方式を用いた 4 M ビットのテストチップを新たに設計し、その試作評価を行う事で 1989 後半に漸く書き込み・消去の基本動作が検証される [7, 8]。この FN トンネル方式の検討において、白田は、グループがこれまで進めてきた FG からドレインへ電子を抜く方式の検討と両立させる為にチーム内の意見統一に労力を要したと振り返っている。新しい手法が検討される時に必ずと言って良いほど困難が発生するものであり、これは、それぞれの研究に真に思いが入れば入るほど起る事である。「この 2 つの方式を同時に検証出来るマスクにするため、どうするか等に頭を悩ませる日々だった。しかし舩岡氏は基本的に我々部下に好きなように仕事をやらせてくれた。その方が私としては気分的に楽だったし、結果として部下が自発的に問題解決する習慣を見に付けるのに役立った。当時は意識しなかったが、今から考えると上司との良い信頼関係があった上での事だったと言えるだろう。また、舩岡氏は酒を皆と一緒に飲むのが好きで、良く一緒に皆を引き連れて飲みに誘って頂いた。最近良く有る希薄な上下関係ではなく、公私に渡るお付き合いを持たせて頂いた。楽しくも緊張感あふれる思い出となっている。」と白田は振り返る。

4 つ目は他の方式と異なり、チャンネル部でホットキャリアを発生させる必要が無い事から書き込み時にビット線からソース線へのチャンネル電流 (1 ビット当たり数 $100 \mu A$) やビット線から基板への基板電流 (ホットホール電流、1 ビット当たり数 μA 程度) が無いため、消費電力が抑えられる点に有る。消費電流は 3V 電源から 20V 前後の高電圧を生成する昇圧回路で使われるがメモリセルアレイ内ではフローティングゲートへ基板から電子注入 (1 ビット当たり $\sim 100 pA$ 以下) される分だけで有るため極めて少ない。よって、一度に 1 ページ (同一ワード線に繋がったメモリセル; 現在では 4K \sim 8K バイトのメモリセル) 分のビットが書き込み可能になったのである。それにより実効的に書き込み速度を速くする事が出来る。この機能は大容量 Flash にとって極めて重要である。大容量のデータをダウンロードするのに多くの時間がかかっていたは誰も使わない。現在 10 \sim 20 Mbyte/s の書き込み速度を確保できているのはこの書き込み方式を採用しているからである。

当初、白田が桐澤の協力を得てサブマリニックに始めた FN トンネル書き込み方式で有ったが、評価を進めて行く過程で数多くの長所を持つことが明らかになって来る。1 つは、特定のメモリセルのみ書き込む選択性に優れていた事。2 つ目は、書き込み時、各メモリセルのソース・ドレイン間に大きな電位差が発生しないため、ゲート長の縮小が可能である事。3 つ目は基板とフローティングゲート間

1990 年始めまでに NAND 構造のメモリセルに FN トンネル書き込み方式を用いた NAND 型 Flash の基本的動作検証が出来た事を受けて、総合研究所から半導体事業部に NAND 型 Flash の事業化の提案を行い、半導体事業部の中のメモリ事業部が受け皿となった。事業部との交渉は舩岡が進めたが、かつてメモリ事業部に在籍し、事業部との強いパイプを持っていた事が生きることになる。NAND 型 Flash をどう具現化するかは、始めは主に [UL3 研] の舩岡の実行

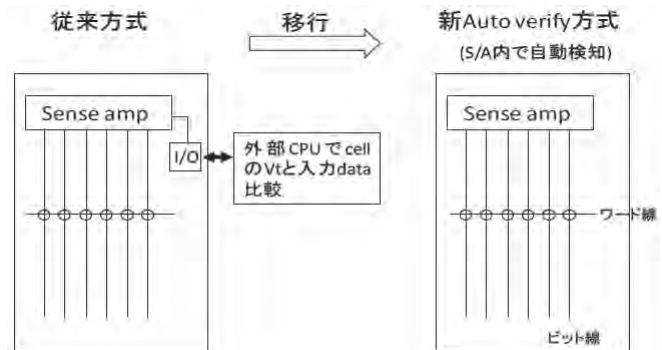
部隊が、後には外岡のグループと事業部との共同作業の中で進んで行くことになる。

1990年4月より事業部との共同開発が始まり、NAND型Flashの開発は新しい段階へと入ったことにより、従来のNAND型Flash開発チームの中から数人は事業部へと移る。また、ULSI研究所に残ったメンバーも全力で製品化に協力することになる。白田は研究所に在籍しながら製品化のため暫く事業部に駐在する事になる。

何より新しいデバイスの製品化の初めてのチャレンジであり、事業化への道のりは平坦ではない。歩留まり向上のみならず、特に信頼性の規格をどうするかと言う点で多くの問題点が出てくる。現時点ではNAND型Flashは書き込み消去を重ねれば、信頼性は劣化するのは広く知られていて多くのシステム的な救済策が講じられている。例えばECC (Error Correction Code) によるエラー補正とかNANDコントローラICを使い各ブロックの書き換え回数を平均化する(ウェアレベリング)等の工夫をしている。しかし始めはそのような経験が無く、手さぐりの状態であった。始めのNAND型Flashの製品化は1992年であったが、世の中に新製品を認知させるのは時間がかかっている。製品を出した後も出荷先で様々なトラブルが起き、メモリ事業部の責任者達も大変な思いをする。

幾多の問題解決の為に、更に新しい提案が続く。例えばベリファイ書き込み方式と呼ばれるNAND型Flashの駆動回路の発明(田中智晴、他)[8]である。NAND型Flashに於いて書き込み時の閾値(V_t)を制御し、 V_t の分布幅を狭くする必要がある。この V_t 制御のためにワード線への書き込み用高電圧の印加を幾つかの短パルスに分割し、毎パルス印可後に1ページのメモリセルの V_t をモニターする。各メモリセルの V_t が所定の値まで来れば、ビット線の電圧を変えてそれ以上に書き込みが進まない様にする。これがベリファイ書き込みである。従来は、このベリファイ書き込みを実際の検査工程で行う場合、1ページのメモリセルのデータをメモリマツからI/Oを通じて外部に出力して外部データと照合し、その結果を再びFlashチップに戻す方法を取っていた為に、この工程に多くの時間を要している。この時間を短縮する方法として、簡単な回路を用いてFlashチップ内でデータ照合することができる自動制御回路を考案したのである。この提案は16Mbitの製品から採用され、ベリファイ書き込みの為に検査工程に要する時間を大幅に短縮している。

このベリファイ書き込み手法を含め、先のNANDメモリセル構造、FNトンネル書き込み方式と併せて、1992年までにNAND型Flash技術の基本形が出来あがったといえる。これらは主にデバイス、設計技術であるが、他に応用技術の進捗もあったのは言うまでも無い。例えば、事業部の応用技術部(徳重芳、他)からは各種のコマンドないしアドレ



ベリファイ書き込み時のデータ照合方式の改良

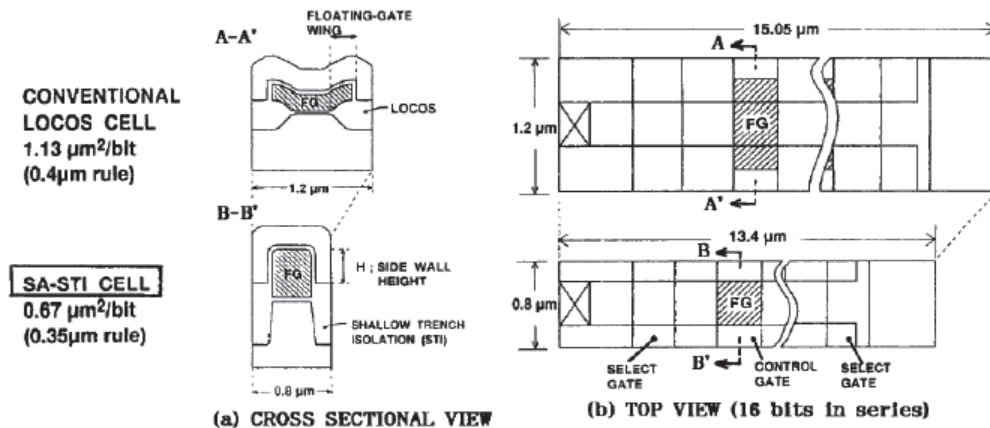
ス信号をI/Oピンから入力する事でピン数を減らすアイデアも出され、標準仕様となっている。更に、NAND型Flashを実用化するための設計、デバイス、プロセスそれぞれの技術が色々開発されている。以下にその一部を示す。

・Row decoder 回路(設計メンバー)[5]。ワード線の電位制御をRow decoderで行うと、20V前後の高電圧を制御するため、大きな面積を占めると予想される。そのために学会に行くと、例えメモリセルは小さくなくてもチップ面積は小さくならないのではないかと良く質問される。しかし実際には高耐圧トランジスタ数はほぼワード線数と同じ数しか必要無く、極めて簡単な回路で組む事が出来る。それにより面積も小さく出来ている。本方式は4Mbitから使われている。

・Step up 書き込み方式(G. Hemink、他)[10]。書き込みパルスを短冊状に分け、パルスの電圧を一定の高さで上げて行く方式で、書き込みの V_t 分布幅はほぼこの上げ幅と同じになる。又酸化膜電界を低く抑えつつ、書き込み速度は速く出来る。本技術は2bit/セル以上の多値技術に必要不可欠である。256Mbit当りからは使われている。

・ビット線シールド読み出し方式(作井、他)[11]。ビット線間隔が狭くなると読み出し時にビット線間ノイズが無視出来なくなる。安定して読み出す為に読み出しの最隣接ビット線を接地してノイズを無くす方式で、製品としては256Mビットから使われている。

・STI-素子分離を用いた微細NAND型Flash(有留、他)[12]。256MビットよりLOCOS素子分離では立ち行かなくなり、STI(shallow trench isolation)に変更した。他のデバイスと違う点は、STIの溝を加工する前にトンネル酸化膜とフローティングゲートを先に形成する点である。それによりSTIエッジにgate酸化膜がオーバーラップする事が無くなり信頼性が確保出来た事と、STIとゲートの端がセルフアライメントになり合わせずれがなくなり、微細加工に向く。STI技術は元々東芝とIBMのDRAM共同プロジェ



STI 素子分離を用いた微小 NAND 型 Flash メモリセル

クトで使われていたものであるが、NAND 型 Flash の LOCOS の置き換え用に独自の工夫を加えたものである。

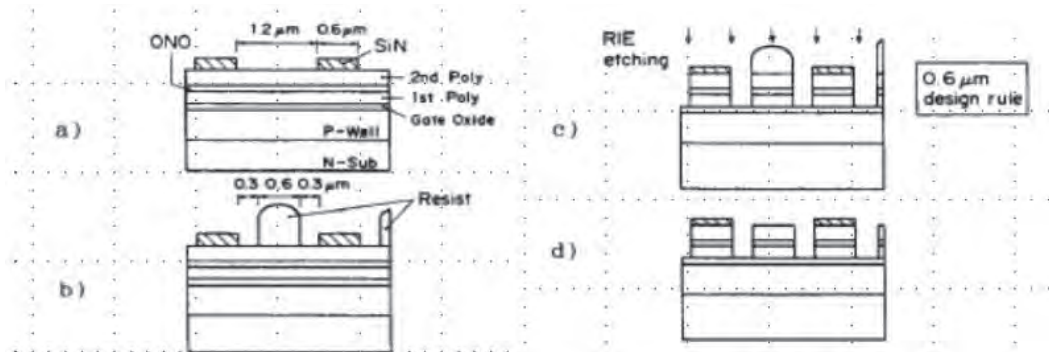
・ワード線、STI、ビット線の微細加工 (白田、他) [13]。例えばワード線加工を 2 回のリソグラフィーで行う方式で線のピッチをリソグラフィーのピッチの半分に出来る。本コンセプトは 40nm 以降のリソグラフィーの限界以下の加工の礎になっている。複数のリソグラフィーで 1 つの線の加工を行う方法であり、現在はバイピッチと呼ばれている技術の原型と言える。

先に述べた基本技術と、これらの新技術が揃う事により、NAND 型 Flash メモリは製品化が実現して行く。

NAND 型 Flash のビジネス展開では、2000年に 256M ビットの製品を出すまでの売上げは年間 1000 億円に到底及ばなかった。事業的な観点から継続が疑問視される。しかし、例えば応用技術部の中根正義の様に、NAND 型 Flash の将来を強く確信する人がいたおかげで生き残る。新規なデバイスで初めてから直ぐ市場規模が大きくなる訳も無かった

が、まさに継続は力なりである。256M ビットの製品の頃からビットコストの低減効果もあり、ようやく市場が立ち上がり始める。デジタルスチルカメラの普及もこの頃からであり、モバイル電子機器の成長と機を一にして NAND 型 Flash の市場も拡大して行く。2001年には東芝とサンデスクとの共同開発が始まり Fab の共同運用を始める。文化の異なる外国の会社との協業は大変では有ったが、新規 Fab の建設費や開発費の軽減効果などの面から有益な結果となっている。2000年にはそれまでの NAND 型 Flash の開発の功績で東芝は第 32 回市村産業賞を受賞している。受賞テーマは「大容量 NAND 型フラッシュメモリの開発とその応用分野の開拓」で白田、舩岡、中根の 3 名が代表者として受賞している。

舩岡はその後、東北大学大学院や、退官後に就任した日本ユニサンティスエレクトロニクス等で、3次元構造の Flash メモリセルやトランジスター (Surrounding Gate Transistor) などを提案しながら、これらのデバイスの実



ワード線、STI、ビット線の微細加工方法

現を目指し、現在も研究者として精力的に研究活動を続けており、多くの特許を提案している。現在、東北大学名誉教授であり、2007年春の褒章受章者で紫綬褒章、2013年に文化功労者が贈られている。

舛岡が東芝を去った後、NAND型Flashの開発の始めに関わっていた者の多くは東芝を去って行き、現在は数名しか東芝でNAND型Flashに関わっていない。白田は1996年頃にULSI研究所廃止と共に事業部の研究所に移動し、2004年に事業部の研究所から本社に転動するが2年後の2006年に東芝を退社し、台湾清華大学の教授に就任、2010年に交通大学に移動している。退社後も、当時の研究者達の多くとは付き合いを続けており、特に、今もFlashメモリに関しての研究者達とは関連学会で会う事も多いようである。

III NAND型FlashとAND型Flashの比較

AND型Flashは1990年代の後半に日立製作所の中央研究所より提案されたものである。AND型FlashはNAND型Flashと同じく複数のメモリセルがビット線コンタクト部とソース線コンタクト部を共有している。メモリセルが直列に接続されないためにNAND型Flashに比べ読み出し速度の高速化が図れる。しかし、AND型Flashではメモリセルアレイの中で共通のソースとドレインの拡散層がビット線方向に有り、所謂NOR型Flashの範疇に入る。AND型Flashは2006年に開発を中止したが、8Gビット当りまで製品化されている。AND型Flashの問題点として構造が複雑な事、又微細化に伴い書き込み消去方式を変化させて行った事が上げられる。NAND型Flashの場合は1987年の提案以来、基本のメモリセル構造と動作方式は変わっていないのが強みである。最終的に、NAND型Flashに軍配が上がった要因は、このデバイスでは最後まで舛岡のコンセプトである「ビット単価の小さいメモリ製品が市場を制覇する。その為には読み出し速度などの性能を気にしてはならない。性能はそれまでのメモリ製品に比べて100分の1になっても良い。大事な事はビット単価を小さくすることである。」を貫き通したことである。AND型Flashは、NAND型Flashの集積度の他に、常にNOR型Flashの性能を意識し、双方を追い続けた結果、複雑なメモリセル構造、動作方式となり長い開発期間を必要としたことが敗因と考えられる。製品開発で重要な事は、単に技術力の差ではなく、その技術力を向かわせるコンセプトの有意差が雌雄を決すると言う事ではないだろうか。

III 韓国企業の台頭について

東芝が開発したNAND型Flashは数年も経ずに、韓国企業の三星が追いつくことになる。三星との技術競争やサンデスクとの協業に付いて、白田は以下の様に回想し、現在

の日本の半導体メーカーにエールを送っている。

「DRAMは言うに及ばず、Flashについても韓国勢の進出は目覚ましいものがある。三星は早くからNANDの開発に名乗りを上げ、東芝から遅れる事1年少しで16Mビットの製品を出している。さらに64Mビットの開発では東芝と設計の共同開発を行う。その是非については色々有るだろうがここでは触れない。但し、三星もそれなりの技術力を持っていたのは確かで、単純に東芝からの一方的に技術流出したとは考えていない。強いて言うならば、1990年代始めまでの東芝からの多くの学会発表に多くのヒントを得た可能性は有るだろう。しかし一方で2002年以降東芝は規制が厳しくなり、発表を抑える様になる。従来学会発表は若手技術者が成長する良い機会であった。当然コア技術を開示するか否かは十分検討する必要があるが、何事にもメリットとデメリットがあるだろう。NAND型Flashは今まで良くやって来たと思われる。今後特に技術面で言えば、他社に先んじて有効且つ革新的なアイデアが出せるか否かがポイントとなる。今や技術的に拮抗しているし、更に2次元セルから3次元セルへの移行時期である。今後とも日本の半導体メーカーには元気でいてもらいたいと願っている。」

(挿絵 奥山 明日香)

参考文献

1. 白田理一郎氏提供資料 『東芝に於ける NAND Flash メモリの開発経緯』
2. F.Masuoka, “不揮発性半導体メモリ”, application Apr. 1987,JP 6-44611.
3. F. Masuoka, M. Momodomi, Y. Iwata, and R. Shirota, “New Ultra High Density EPROM and Flash EEPROM with NAND Structured Cell,” *IEDM* 1987, pp.552-555.
4. M. Momodomi, R. Kirisawa, R. Nakayama, S. Aritome, T. Endoh, Y. Itoh, Y. Iwata, H. Oodaira, T. Tanka, M. Chiba, R. Shirota, and F. Masuoka, “New device technologies for 5V-only 4Mb EEPROM with NAND structure cell”, *IEDM* 1988, pp.412-415.
5. Y.Itoh, M.Momodomi, R.Shirota, Y.Iwata, R.Nakayama, R.Kirisawa, T.Tanaka, K.Toita, S.Inoue, and F.Masuoka, “An Experimental 4 Mb CMOS EEPROM with a NAND Structured Cell,” *ISSCC* 1989, pp.134-135.
6. R.Shirota, Y.Ito, M.Momodomi, K.Ouchi, F.Masuka, and R.Kirisawa, “不揮発性半導体記憶装置”, application Dec. 1987, JP2685770.
7. R.Kirisawa, S.Aritome, R.Nakayama, T.Endoh, R.Shirota, and F.Masuoka, “A NAND Structured Cell with a New Programming Technology for High Reliable 5 V-Only Flash EEPROM,” *Symp. VLSI Technology* 1990, pp.129-130.
8. T.Tanaka, M.Momodomi, Y.Iwata, Y.Tanaka, H.Oodaira, Y.Itoh, R.Shirota, K.Ohuchi, and F.Masuoka, “A 4-Mbit NAND-EEPROM with tight programmed Vt distribution,” *Symp. VLSI Circuits* 1990, pp.105-106.
9. T.Tanaka, M.Momodomi, H.Kato, H.Nakai, Y. Tanaka, R.Shirota, S.Aritome, Y.Ito, Y.Iwata, H.Nakamura, H.Oodaira, Y.Okamoto, M.Asano, Y.Tokushige, “不揮発性半導体記憶装置及びこれを用

- いた記憶システム”, application Dec. 1992, JP2647321.
10. H.G.Hemink, T.Tanaka, T.Endoh, S.Aritome, and R.Shirota, “Fast and accurate programming method for multilevel NAND flash EEPROM’s,” *Symp. VLSI Technology* 1995, pp.129-130.
 11. K. Sakui, H. Nakamura, M. Momodomi, R. Shirota, and F. Masuoka, “Non-volatile semiconductor memory device,” *U. S.P5,453,955*, Sep. 26, 1995.
 12. S. Aritome, S. Satoh, T. Maruyama, H. Watanabe, S. Shuto, G. J. Hemink, R. Shirota, S. Watanabe, and F. Masuoka, “A 0.67 μ m² Self-Aligned Shallow Trench Isolation cell (SA-STI CELL)” , *IEDM* 1994, pp 61-64.
 13. R.Shirota, R.Nakayama, R.Kirisawa, M.Momodomi, K.Sakui,

Y.Itoh, S.Aritome, T.Endoh, F.Hatori, and F.Masuoka, “A 2.3·m² Memory Cell Structure for 16 Mb NAND EEPROM’s,” in *IEDM* 1990, pp. 103-106.

次回

第32回 半導体の歴史
—その31 20世紀後半 超 LSI への道—
1990年代 アジアの台頭