

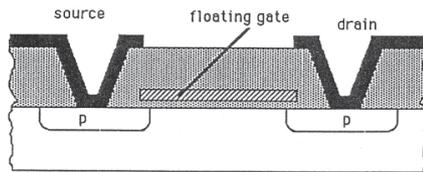
半導体の歴史

— その29 20世紀後半 超 LSI への道 —
1970年代後半から1980年半ば Flash メモリ株式会社フローディア
代表取締役社長おくやま こうすけ
奥山 幸祐

不揮発性半導体メモリとその発展



ドブ・フローマン

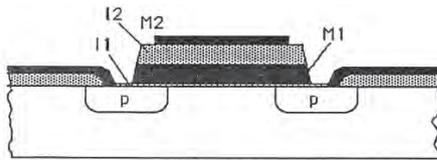
ドブ・フローマンの
紫外線消去型 EPROM (FAMOS)

2013年現在、Flash メモリが半導体メモリ製品の主役となっている。特にメモリカードや USB メモリなどのファイルメモリとしての NAND 型 Flash の生産量が急激に伸びてきており、2000年代に入ると DRAM に取って代わり、先端プロセス開発の牽引役を担っており、現在では平面でのスケーリングの物理限界が見え始め、3次元へと構造進化を引き起こそうとしている。Flash メモリは不揮発性半導体メモリである。不揮発性半導体メモリの最初の製品化については「半導体のはなし17」に記載した。最初の不揮発性半導体メモリは書き込みをホットエレクトロン注入で行い、消去を紫外線照射で行う紫外線消去型 EPROM であるが、発明したのはインテル社のドブ・フローマンである。フローマンはフェアチャイルドからインテルに移籍したばかりの頃、1969年に MOSIC 製品の信頼性不良の解析を担当し、この不良が、IC チップ上に偶然に形成されたフローティングゲートによって起こっていることを突き止める。2つの

分離された P 型不純物拡散層の間の分離領域上に、ゲート電極となる導体が偶然に形成され、この導体がフローティング状態（電極が取られておらず電氣的に浮いている状態）となっており、2つの P 型拡散層間に高電圧を印加して動作していると、次第に動作不良が起こってくることを突き止める。拡散層間に高電圧を印加しているとフローティングゲート内に電荷が注入され蓄積してゆくことで P 型拡散層間の低濃度 N 型拡散層の表面に P 型反転層が形成され、2つの P 型拡散層間が電氣的に接続されてしまうことを突き止める。物理現象として、2つの P 型拡散層間に印加された高電圧によりホットエレクトロンが発生し、フローティングゲートに注入することで電荷が蓄積されることを明らかにしたのである。フローマンは、このフローティングゲートへのホットエレクトロン注入現象を工業的に利用できるのではと考え、ソース、ドレインの2つの P + 拡散層間にシリコン酸化膜を介してフローティングゲートを設けた EPROM の構造を提案する。これによって、世界で初めての不揮発性半導体メモリができあがり、「FAMOS：フローティングゲート型アバランシェ・インジェクション MOS」と命名する。

当初はホットエレクトロンを注入し書き込むだけのデバイスであったが、後になって、メモリ上の記憶を消去するのに紫外線を利用できることが解り、UV-EPROM が完成する。世界で最初の UV-EPROM は1972年に発表された 256×8 ビット構成の製品名1702である。IC パッケージ上に紫外線を照射するためのガラス窓が設けてあり、窓を通してチップを肉眼で見ることが出来る。通常使用時には、紫外線が当たらないようにガラス窓にはシールが貼られる。消去された UV-EPROM は、ROM ライタにより、再書き込みが可能である。インテルはこの製品を100ドルで販売し、1985年まで、最も利益率の高い製品ラインとなる。

以上の様に不揮発性半導体デバイスを最初の製品化に成功したのはインテルのフローマンらであるが、フローマンらの製品化よりも4年早い1967年に不揮発性半導体メモリの考え方を特許化（米国特許：US3500142 A）したのがベル研究所のダウォン・カーン（Dawon Kahng）である。彼はソース、ドレイン間にフローティングゲートと、その上にコントロールゲートを設けたデバイス構造を提案してい



ダウソン・カーンの EEPROM (米国特許: 3,500,142)

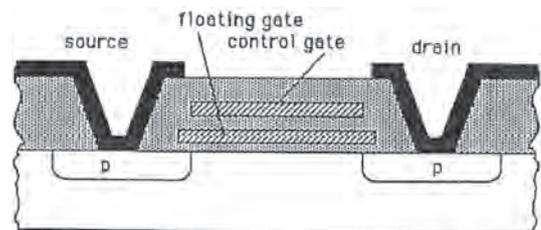
る。構造的には現在使用されている不揮発性半導体メモリの基本構成になっており、フローマンが製品化したフローティングゲートのみの構成に比べ優れたアイデアとも言える。しかも、この特許のクレームには光を照射して消去する方式も含まれており、1967年時点で紫外線消去型 EPROM をも含む出願となっている。しかしながら、製品化が実現しなかったのは、この構造において電氣的に書込み消去を行おうとしたことによる。当時、一般的にゲート酸化膜として使われていた膜厚は70nm~100nm 程度あり、製造的に5nmの膜厚を制御することが難しかったことや、この膜厚でデバイスを作ったとしても、フローティングゲートに蓄えられている電荷が、5nmの膜厚を介した直接トンネリングや膜中の欠陥を介した直接トンネリング(トラップアシストトンネリング)でシリコン基板に洩れてしまい、信頼性を保つことが難しいことが製品化を難しくしている。フローマンらは50nm~100nm 程度の厚い酸化膜を飛び超えて電子を書き込む方法としてホットエレクトロンを利用したことで製品化を成功させたのである。カーンがトンネル酸化膜を5nmより厚くし、例えば7nm~10数nmにした上で、直接トンネリング電流ではなく、更に高電界にすることでFN (Fowler-Nordheim: ファウラー-ノルトハイム) トンネル電流を用いた書込み消去を考案していたならば、1967年時点で実用化に近い「電氣的に書き換えられる不揮発半導体メモリ」が提案されていたことになるが、この時点でカーンにはFNトンネルの発想がなく、膜厚を5nmに限定してしまう。しかしながら、カーンの提案した構造である、フローティングゲートの上にコントロールゲートを設ける基本構造は、その後、東芝の舛岡富士雄によって2層多結晶シリコンゲート構造で再提案されることで、フローティングゲートの電位をもう一層のゲート電極で制御するという基本構造として後世に残ることになる。そして、この構造は、最初のフローマンらのデバイスで適えられなかった「電氣的に消去する」を可能にする為に大きな役割を果たすことになり、その構造を用いた「電氣的に書換えできる不揮発半導体メモリ」を1977年にヒューズ・エアクラフト・

マイクロエレクトロニクス社のエリ・ハラリ (Eli Harari) が発明することになる。ちなみに、1967年にカーンらが特許出願した当時、多結晶シリコンゲートプロセスは無く、フローティングゲートにはジルコニウム、コントロールゲートにはアルミニウムを用いている。

日本において、最初に EPROM を更に進化させ、紫外線消去でなく電氣的に消去可能な不揮発性半導体メモリの研究をするように部下に命じたのが「半導体のはなし22」に記載した東芝の武石善幸である。命じられた部下は、東北大学大学院電子工学部を卒業して、インテルが EPROM を発表した1971年に東芝総合研究所の武石研究室に新人として入ってきた舛岡富士雄である。大学院時代は同大学の電気通信研究所の西澤研究室に在籍し、「半導体インダクタンスに関する研究」で工学博士を取得している。すでに、1970年には東芝においても原央らがアバランシェ注入によるメモリ動作を見つけていたが、発表、製品化においてインテルに先を越されている。



舛岡富士雄



舛岡富士雄の紫外線消去型 EPROM (SAMOS)

研究を命じられた舛岡は、EPROMの性能向上を図ることを目的に、フローティングゲートの上にコントロールゲートを設ける2層多結晶シリコンゲート構造や、ドレイン近傍のチャネル不純物分布の制御などの提案を10数件行い、特許として成立させている。コントロールゲートを設けた2層多結晶シリコンゲート構造はその後の不揮発メモリ素子の基本構造となり、インテルを始め殆どのメーカーで使用されるようになる。インテルのFAMOSに対して、舛岡からはSAMOS (スタックドゲート・アバランシェ・インジェクションMOSメモリ)と名付ける。FAMOSは電荷をフローティングゲートに書き込むことでチャネル部の抵抗を数桁変動させ、導通/非導通を作り出す、いわば可変抵抗に過ぎ

ないが、これに対して、SAMOSはコントロールゲートを設けた事により、電荷注入により閾値電圧を自由に変化できるMOSトランジスタを実現したことになり、先に記載したカーンの特許提案にある基本構造のコントロールゲートと言う考え方をアバランシェ・ホットキャリア注入方式に用いた事になる。コントロールゲートをフローティングゲート上部に設けることで、フローティングゲートは単なる電荷蓄積層としての役割を担い、フローティングゲートに蓄えられた電荷の量によって、コントロールゲートで動作するMOSトランジスタの閾値電圧を自由に変化させることができると共に、読み出し時にコントロールゲートに電圧を印加することでチャンネル電流量を自在に設定することができるようになる。更に、コントロールゲートとフローティングゲートとのカップリング容量からコントロールゲートでフローティングゲートの電位を制御できるように書込み効率を上げられると同時に、電荷を書き込む前後の閾値電圧も測れるようになる。そして、このコントロールゲートを設けた2層多結晶シリコンゲート構造は、その後にヒューズ・エアクラフト・マイクロエレクトロニクスのハリヤやインテルのフローマンやジョージ・パーレゴス(George Perlegos)らが発明する電氣的に消去できるEEPROMの実現にも大きな役割を果たすことになり、その後の不揮発半導体メモリ素子の基本構造となって行く。

東芝では、東北大学の西澤研究室の時から舩岡の先輩である飯塚尚和をリーダーとして、直ちに2層多結晶シリコンゲート構造の紫外線消去型EPROMの開発を開始する。256ビットと2kビットのメモリアレイを試作し、1973年に製品化を果たしている。2層多結晶シリコン構造の効用は大きく、インテルの製品に比べ1桁以上書込み速度が速く、書込みによる閾値電圧の評価を定量的に行う事ができるようになると共に、書込み後の電荷の漏れによる閾値電圧の評価(電荷の保持特性の評価)を、コントロールゲート電圧で加速評価することでテスト時間の大幅短縮が可能になり、これにより東芝はインテルの製品に比べて高性能のみでなく、抜群に高信頼性な不揮発半導体メモリ製品を市場供給できるようになる。舩岡はこの発明により、全国発明表彰発明賞と第1回渡辺賞(「半導体のはなし8」に記載した渡辺寧のご遺族の寄付によって設けられた賞)などを受賞している。

舩岡はこの製品立ち上げの為に1973年まで玉川工場に駐在している。1971年当時、国内の半導体メーカーでは多結晶シリコンゲートプロセスは研究開発段階であり、漸く1960年代末から1972年頃にかけて多結晶シリコンゲートプロセスに必要な多結晶CVD技術、不純物ドーピング技術、加工技術などの要素技術を研究開発している最中である。もれることなく玉川工場にも多結晶シリコンプロセスは無く、この段階の1971年に1層多結晶シリコンゲートで

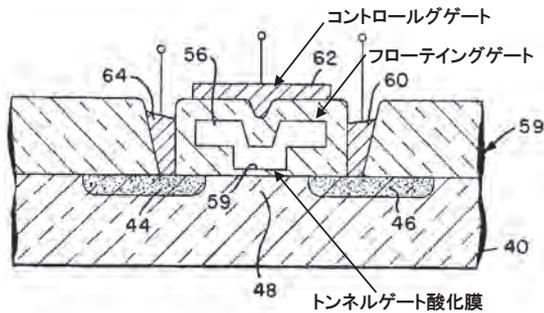
も難しい中で2層多結晶シリコンゲートプロセスを立ち上げ、製品化するためにはこれらの多くのハードルを越えなければならず、事業部と衝突することも多かったが、2年後の1973年に製品化に漕ぎ着けている。

この年に2層多結晶シリコンゲート構造紫外線消去型EPROMの製品化に目途を付けて武石研究室に戻ってきた舩岡は、当初の研究目的である「電氣的に消去できるEPROM」の研究を続けることなく、SRAMとDRAMの研究開発、製品化へと業務をシフトさせ、1986年までの13年間の長きに亘って、SRAM、DRAMの高集積化技術を牽引して行くことになる。この年に東芝総合研究所では、1971年にインテルがSRAMやDRAMの製品を発表したのに刺激され、総合研究所内に、これらの製品開発を目的として集積回路研究所を発足する。所長は武石である。舩岡はその研究所の設計グループ(グループ長は原央)へ異動し、ここでSRAMやDRAMの研究開発を開始することになったのである。舩岡はこの13年間で、東芝がDRAMにおいて世界一になる礎を築くプロジェクトに参加する一方、この間の1979年頃までは、不揮発性半導体メモリ技術の研究から離れることになり、この間の東芝における不揮発性半導体メモリ、特に「電氣的に消去できるEPROM」の研究は一時中断することになる。

2層多結晶シリコン構造を用いて「電氣的に消去できるEPROM」を最も早く考案したのはヒューズ・エアクラフト・マイクロエレクトロニクスのハリヤである。ハリヤは1977年2月に特許出願し、1978年2月のISSCCで発表している。2層多結晶シリコン構造でコントロールゲートとフローティングゲートを備え、フローティングゲート下のゲート酸化膜をチャンネル内部の一部分で薄くした構造である。書込みはアバランシェ・ホットキャリアかトンネル電流によって行い、消去は薄い酸化膜部分で逆方向にトンネル電流を流すことで行うもので、電氣的に書込み、消去を行う不揮発性半導体メモリ、EEPROM(Electrically Erasable Programmable Read-Only Memory)としてはカーンらに次ぐ提案になる。特許の中では、トンネルを引き起こす薄い酸化膜の膜厚が2nm~10nmの範囲で設定されており、直接トンネリングが5nm以下で起こることから、カーンらのEEPROMと同様に、トンネル酸化膜厚の設定によってはフローティングゲートに保持されている電子がシリコン基板に洩れてしまい信頼性が難しくなるが、ハリヤはトンネル膜厚に対するトンネル電流特性、リテンション(電子の漏れ)や高電界状態での酸化膜破壊などに対する信頼性を研究し、最終的に酸化膜10nmの膜厚でFNトンネル電流での書込み、消去を行うことでEEPROMを実現している。FNトンネル電流は、厚い酸化膜でも強電界状態にすることで酸化膜のエネルギー障壁が実効的に薄くなり、量子効果により電子が厚い酸化膜をトンネリングする現象である。



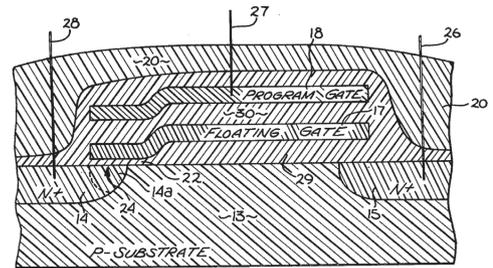
エリ・ハラリ



エリ・ハラリの EEPROM (米国特許: 4,115,914)

この現象を最初に観測したのはアメリカのウッド (Robert Williams Wood) であり、1897年のことである。量子論的説明は1928年イギリスのファウラー (Ralf Howard Fowler) とドイツ生れのノルトハイム (Lothar Wolfgang Nordheim) によってなされ、2人の名前から FN トンネル電流と名付けられている。ハラリが EEPROM を検討した1976年当時、MOS トランジスタのゲート酸化膜の膜厚は70nm~100nm の時代である。ハラリの考案した EEPROM は2層多結晶シリコンゲート構造を用い、この厚いゲート酸化膜厚の MOS トランジスタのチャネルの一部に10nm のトンネル膜領域を設けたものである。ハラリは、数10年前に見つけられた FN トンネル電流を用いて、書込み・消去を実現した最初の研究者となる。高電界領域で FN トンネリング電流を用いることでトンネル酸化膜厚を厚く設定することができる為、通常の保持状態 (低電界状態) でのフローティングゲートから電子の漏れを抑制でき、それによって初めて EEPROM が完成する。1978年の ISSCC では、この EEPROM と SRAM を直結した不揮発性 RAM (NOVRAM) を発表している。その後、FN トンネル電流で書き換えられる時はしばしば FLOTOX (FLOating gate Thin OXide) と呼ばれるようになり、EEPROM、Flash EEPROM、そして NOVRAM など製品化されてゆく。

ハラリはマンチェスター大学で優秀な成績を修め学位を取得した後にプリンストン大学で固体科学において修士と物理学博士を取得し、1973年から1983年に掛けてハネウエ



ドブ・フロマンらの EEPROM (米国特許: 4,203,158)

ル、インテル、ヒューズ・エアクラフト・マイクロエレクトロニクスにて種々の管理職を経験する。上記の EEPROM の発明はこの期間内の1976年からヒューズ・エアクラフト・マイクロエレクトロニクスにおいて行われ、1977年に出願されたものである。1983年から1986年に掛け非公開半導体会社、ウェーハ・スケール・インテグレーション (Wafer Scale Integration) を設立し、社長兼 CEO (最高経営責任者)、1986年から1988年に会長兼 CTO (最高技術責任者) を務めている。その後、1988年にサンディスクを他2人の仲間と共同設立し、社長兼 CEO を務め、2001年からタワー・セミコンダクターの取締役も兼ねている。サンディスクはハラリを中心とした不揮発性のメモリを専門とするチームによって設立され、1995年11月に株式会社 (NASDAQ: SNDK) になり、収益が2004年に24億ドル、2007年に39億ドルを達成し、今日まで Flash メモリーデータストレージ製品の世界最大のサプライヤーに成長している。不揮発性メモリに関する特許を米国で1700件、外国で1100件程度所有しており、USB メモリなどの Flash メモリ製品などで競合する数10社を相手に訴訟を起すことなど、優位性を維持し続けている。ハラリ自身も不揮発性メモリおよびストレージシステムの分野において70件以上の特許を成立させており、EEPROM デバイスを使い込むための技術や EEPROM をメモリカードや USB などに製品化するための技術においてサンディスクは世界一の不揮発性メモリの技術を有する会社となっている。

後年、サンディスクは東芝の外岡が発明した NAND 型 Flash (次稿に記載) において、東芝との共同開発を210nm プロセス世代から始め、160nm、130nm と続け、2002年に90nm プロセスの開発を開始する。東芝のプレスリリース (2002.10.10)_files によると、東芝の NAND 型 Flash メモリ・プロセス技術と、サンディスクの開発した多値 (MLC: Multi-Level Cell) 技術をベースに、90nm プロセス技術を用いた2 Gbit の NAND 型 Flash メモリと4 Gbit の MLC NAND 型 Flash メモリの早期製品開発をめざし、2003年にサンプル出荷し、2004年から共同出資した三重県四日市市

の工場で量産開始している。4 Gb の NAND 型フラッシュメモリは、1 メモリセル辺りのメモリ容量を2倍にする多値技術を2 Gb 製品に組み込むことにより実現している。4 Gb の NAND 型 Flash メモリをメモリカードに搭載することで、PDA、携帯電話、デジタルカメラなどに高画質の長編ビデオ、数千枚もの高解像度の画像や30時間を越えるデジタル音楽などの記録を可能にしている。

2008年に競合会社のサムソン電子がサンディスクを買収する動きを見せるが、サンディスクは東芝との共同体制を崩すことなく、2012年で10周年を迎えている。2002年当時、90nm 世代4 Gbit であった NAND 型 Flash メモリが、2013年の今日では19nm 世代128Gbit の製品にまで進化し、両社は現在、その次の世代の共同開発を手掛けている。

舩岡がEEPROMの必須の構造となる2層多結晶シリコンゲート構造を考案し、この構造にFNトンネル電流を用いた書換えてEEPROMを実現したハリリ、EEPROMを更にコスト低減を目指すことでFlashメモリを考案(後記)しEEPROMを進化させた舩岡、これらの舩岡とハリリとの技術進化のリレーでFlashメモリが完成し、20数年後に、このFlashメモリの最終形であるNAND型Flashを、2人が関係した両社が協力して進化させていく所に、単なる投資循環による経済性ではなく技術を重要視し、新たな技術開発による経済性追求に喜びを感じた2人の思想が伝達されている様に感じられる。舩岡はデバイス技術から経済性を追求し、ハリリはそのデバイスを使いこなす技術やアプリケーションに結びつける技術から経済性を追求する。どちらも磁気メモリを不揮発性半導体メモリに置き換えることによる利便性を夢見たのである。この技術開発による経済性追求の考え方は双方の会社に引き継がれ、双方それぞれの強みを持つことになる。2人の技術をこの2社の技術者達が更に進化させることで大容量のFlashメモリが実現し、それを電子機器に適用することで電子機器の記憶容量が増大し、利便性を大きく変化させることで、タブレットやスマートホンなどに代表されるように現代文化を急激に進歩させている。実際に開発に従事している技術者達は、自らの技術開発が現代文化を大きく変化させていることなどを考える暇もなく、日夜、開発に動んでいるのかも知れないが、これらの技術によって生活の利便性が大きく変化して来ているのである。舩岡は1994年に東芝を退社し東北大学の教授に就任している。2002年、本格的に共同開発を始めた時点では、この共同開発でハリリとともにNAND型Flashの進歩の喜びを享受すべき舩岡は、もう既にこの輪の中にいない(次稿に記載)。

EEPROMを発明したハリリが設立した会社と、SAMOSやFlashメモリを発明(後記)した舩岡が在籍した会社が手を取り合い、それぞれの技術の持ち味を生かし、不揮発性メモリ製品を世界中に供給し続け、先端半導体技術革新

の牽引力となりリードし続けていることは特記すべきことである。ハリリは2010年に、創業から22年間続けたサンディスクのCEOを共同創業者の1人であるサンジャイメヘロートラ(Sanjay Mehrotra)に引き継ぎ、サンディスクを引退し、翌年、米国の家電協会の殿堂入りを果している。不揮発性メモリの科学者としての顔と優れた経営者としての顔の双方の顔を持ち、双方の成功を収めた稀な人間と言える。不揮発性メモリの技術開発による経済性の進歩とその製品化を常に考え、その為の会社を興し、最後まで自分自身の手で夢を掴み取ろうとした結果と言える。

このEEPROM構造を改良し、1978年にインテルのフローマンやパーレゴスらも特許出願(US4203158A)し、Intel 2816として製品化を行っている。2層多結晶シリコンゲート構造を用い、フローティングゲートとドレイン拡散層とのオーバーラップ部分の一部のみの酸化膜を薄くし、この部分でFNトンネリングを起すことでフローティングゲートに蓄えられている電子をドレイン拡散層に引き抜く方法で消去する。書込みはこの部分に逆方向のFNトンネル電流を流しフローティングゲートに電子を注入する。基本構造はハリリの特許と類似しているが、トンネル電流を流す場所をフローティングゲートとドレイン拡散層間にすることにより、使い勝手を良くしている。トンネル酸化膜の厚さはFNトンネリングを必要とする7 nm~20 nmである。この構造が現在ではFLOTOX型EEPROMとしてよく使用されている。

フローマンと共にEEPROMを開発したパーレゴスは後にインテル社を退職してSeeq Technology社を創業し、チャージポンプ回路を組み込んでEEPROMの書き換えに必要な高電圧をチップ内で発生できるEEPROMを開発している。その後、1984年にアトメル(Atmel)社を設立し、EEPROMとPLD(プログラマブルロジックデバイス)を主に手掛け、独自のシリアルインタフェースでピン数を減らしパッケージの小型化を実現したEEPROMの「DataFlash」シリーズが機器メーカーのニーズに合致したことでアトメルは大きく飛躍し業界での地位を確立する。その後、Flashメモリを搭載したマイクロコントローラ(MCU)を業界に先駆けて1995年に投入し、同社のMCU「AVR」は組込み用途や教育用途に幅広く活用される。2006年に新CEOにスティーヴ・ラウブが就任し、組込みCPUを事業のコアと新たに位置付け、組込みCPU以外の事業を大幅に整理することで、収益性の改善を進め、タッチコントローラ「maXTouch」シリーズを含むMCU製品の売上高は、2011年には62%に拡大し、MCUの業界シェアで3位辺りまで成長しており、アトメルもサンディスクと同様に不揮発性半導体メモリを手掛かりに大きく飛躍した代表的な会社となる。

半導体事業部における経験

1973年にSRAMとDRAMの研究開発に軸足を移した外岡は、1975年に16Kbit DRAMの開発で2層多結晶シリコンゲートを利用したメモリセル構造を飯塚尚和と共同で開発し、特許を出願する。この構造はその後のDRAMメモリセル構造の基本構造となる。1トランジスター+1容量から成るDRAMメモリセル構造のそれぞれのゲート電極を2層多結晶シリコンゲートで構成することで、それぞれのゲート間距離を詰めると共にトランジスターのゲートと配線とのコンタクトを容量素子の上で取ることができる構造である。

1977年に当時東芝の常務であった嶋崎賢治（「半導体のはなし22」に記載）の命令で、集積回路研究所長の垂井忠明とともに事業部へ転籍する。事業部で最初に配属されたのは応用技術部である。この転籍は外岡自ら望んだものである。当時、東芝のDRAM販売活動が順調でなく、外岡自ら営業活動したいと考えたのである。外岡自身が不慣れな営業活動で活躍することは無かったが、この部署で東芝のメモリ製品のマーケティングを経験する。顧客の要望や将来技術方向の調査などを行い、顧客と開発部門とのパイプ役や米国や国内でのメモリ製品売り込みや営業活動の支援などを担当する。これらの経験は、後にFlashメモリ製品を企画する際に大きな役割を果し、NOR型Flash、NAND型Flashの発明にはこの経験が生かされることになる。その後、製品技術課に移り、メモリ製品の歩留まり向上業務を担当すると共に、有泉昇次や深津安らと共に2層多結晶シリコンを用いてSRAMのメモリセルを改良し、特許を出願する。この構造も16kbit以降の専用SRAM製品のメモリセルの基本的な構造となる。その後、メモリの設計部門に配属され、約10年間、256kbit、1MbitのDRAM製品の開発に従事する。東芝における1Mbit DRAMの開発は鈴木絃一を総責任者として、NMOS回路とCMOS回路の2つのタイプの周辺回路方式と、メモリセルが256kbitからの延長である平面キャパシター構造とFCC（Folded Capacitor Cell）型の3次元構造の2つのタイプのメモリセル構造の組み合わせで4つのタイプの製品開発を並行して進め、それぞれを成功させた後に、最終的に低消費電力のCMOSプロセスと平坦キャパシターの組み合わせを選択し、他社に先駆けて立ち上げることに成功している。1Mbit DRAMでは、まだ3次元構造のメモリセルを用いなくともソフトウェアを含む信頼性の問題はクリアできることを判断したことやCMOS回路を用いることで大幅な低消費電力を実現したことが成功の要因となる。NMOSプロセスの開発リーダーは総合研究所の飯塚尚和であり、総合研究所と外岡が所属する技術部が担当している。CMOSプロセスの開発リーダーは半技研の西義雄が担当している。外岡はDRAMの歩留まり改善に力を発揮し、40人の部下を持つに至る。こ

の開発が終了すると外岡は半導体事業部の技術を統括する技師長室に1年間在室し、その翌年に10年ぶりに総合研究所に戻ることになる。

フラッシュ型EEPROM（NOR型Flash）の発明と開発

外岡は、この10年に亘るSRAM、DRAM先端メモリ製品の開発中も不揮発性半導体メモリの有るべき姿を考え続け、半導体事業部に転籍してから7年後の1980年に、一括消去（フラッシュ）型EEPROMを考案し、特許にしている。当時、外岡は多くの部下を抱え、DRAMの開発に忙しく働きながらも、DRAMの将来性に疑問を持ち、不揮発性半導体メモリにこそ将来性があると信じ、毎日DRAMの仕事を終えてから、土日も使い、不揮発半導体メモリの将来有るべき姿を考える。

外岡は入社以来、半導体メモリの大きな発展のためには、磁気メモリの置き換えは必須と考え続けている。また、これまでのDRAMやSRAMなどの半導体メモリの開発においてメモリのマーケットの大きさは、そのメモリの使い易さよりビット当たりのコストが大事であることを実感する。DRAMとSRAMのマーケットの大きさを考えると、使い易さの点からSRAMはアクセス速度が速く、リフレッシュも必要なく非常に使い勝手がよいが、特性面で劣っているDRAMのマーケットがSRAMの数倍もあることなどから実感したのである。DRAMのビット当たりのコストがSRAMに比べ安いことがマーケットを大きくしていると考えられる。しかしながら、DRAMでも磁気メモリを置き換えるに至っていない。外岡はその理由として①依然として磁気メモリのコストが安い事、②磁気メモリは不揮発性メモリであることの2点を挙げている。これらの点から、磁気メモリの置き換えは不揮発性半導体メモリでなければならないこと、不揮発性半導体メモリをDRAMよりも安く、将来的に磁気メモリのコストよりも安くすることを目指すことが重要と考える。不揮発性半導体メモリのターゲットが磁気メモリの置き換えによるマーケットの拡大であると考えられると、磁気メモリに比べEEPROMの読み出し速度は1万倍もあり、この性能差を犠牲にし、1000倍程度、または100倍程度にダウンしたとしても全く問題にならず、それによってメモリセル面積を磁気メモリに近づける事でビット当たりのコストを下げられるのなら、何の躊躇もない。1桁程度の性能差などを議論してはならない。如何にビット当たりのコストを下げることに知恵を働かすかである。事業部に配属されてからの7年間の中のSRAMやDRAMのマーケティング、営業、生産技術、設計などの業務を通して、更に、この考え方に自信を深めたのである。特に、営業活動の体験で、技術をビジネス化するためにはコストや用途、すなわちアプリケーションが重要であり、顧客が望む性能を如何に妥当な価格で提供できるかが重要

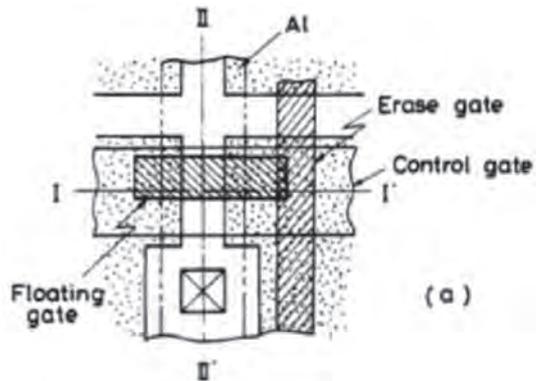
であることを、身を持って知ったことがこの考え方を強めて行く。

もし、舩岡が半導体事業部に転籍せずに、そのまま総合研究所に在籍していたならば、入社以来持っていたこの考え方を東芝内で実現することは難しかったかも知れない。通常、研究者が優れた考え方を持って新しいものを開発しても、マーケティングや営業、製品設計の各部門から、様々な注文がつけられ、あれもこれもないと商売ができないと言われ、その意見に従わざるを得ず、アイデアが魅力ないものになってしまう事が多々有るためである。舩岡が事業部の営業などの各部門で見聞きし経験してきたことやそこで培われた人間関係が、東芝社内での不揮発性半導体メモリのビットコスト削減のための提案、研究開発、製品化を後押ししてゆく事になる。

従来の半導体不揮発性メモリである NOR 型 EEPROM は 1 ビットが 2 個のトランジスタからなり、1 ビット当たりの専有面積が大きい。このため、NOR 型 EEPROM のコストが高くなり、半導体メモリは磁気メモリを完全に置き換えることができないと考える。この考え方が NOR 型 Flash を発明する出発点となる。この時点で、半導体メモリとして最も小さいとされる DRAM は 1 つのトランジスタと 1 つのキャパシタから構成されている。これよりも小さなメモリセルを構成するには 1 つのトランジスタだけで構成することが必要である。そのためには EEPROM の性能の何かを犠牲にすべきと言う観点から考え出したのが、1 ビット毎の消去を諦め、全ビット一括で消去する一括消去型 EEPROM、NOR 型 Flash である。この特許出願を 1980 年に行い、実際の試作を 1983 年に開始する。試作までに 3 年も時を要したのは、DRAM の成功に沸き立っていた社内で NOR 型 Flash の開発に理解と賛同を得られにくかった為である。この様な環境の中であっても、試作開始に当って、当時の半導体事業部のメモリ担当部長である鈴木紘一のバックアップと、設計面では浅野正道、岩橋弘、デバイス技術では戸澤周純、小室禎佑、田中真一らの協力を得ている。デバイスとして動作確認ができ、1984 年の 6 月に IEDM (国際デバイス会議) および ISSCC に投稿する。この時に機能として世界初の一括消去型 EEPROM であると認識し、受けの良いネーミングの発案を有泉昇次らの仲間に協力してもらい、写真のフラッシュをイメージしてフラッシュ型 EEPROM (NOR 型 Flash) と名付けている。

舩岡らが提案した NOR 型 Flash は上記に図示した様に、3 層多結晶シリコン (消去ゲートを追加) を使い多結晶シリコンゲートで出来ているフローティングゲートと消去ゲート間の絶縁膜 (多結晶シリコン膜を酸化して形成されたシリコン酸化膜) に高電界を発生させて FN トンネル電流により電子を抜く構造である。

一方、舩岡らの提案を見たインテルは東芝にサンプルを



舩岡らが提案した NOR 型 Flash のセル上面図

要求し、その構造を研究すると共に、300人以上の開発人員を掛け、消去ゲートの無い 2 層多結晶シリコンの NOR 型 Flash (ETOX 型と呼ばれる) を製品化する。ETOX は消去の際に過消去すると閾値電圧が下がり過ぎ、そのビットの電流をカットオフすることができなくなりそのビットが結線されているビット線 (column) の不良になるという問題点があり、消去動作が難しい。しかし構造が 3 層多結晶シリコン型セルに比べて単純であるため、現在 NOR 型 Flash の標準型セルとなっている。当時、東芝が DRAM の開発に集中している間に、インテルは、NOR 型 Flash の製品化に取り組み、1988年に量産を開始し、早々に市場を支配し、紫外線消去型 EPROM に続き不揮発性半導体メモリで莫大な利益を上げる事になる。

舩岡が、更に磁気メモリの置き換えを目指して、1986年に考案したのが NAND 型 EEPROM (NAND 型 Flash) であり、1 ビット毎にソース側、ドレイン側の拡散層の導通を取るためのコンタクトや配線を取っていると小さくならないために、8 ビット、または 16 ビットを直列にならべて、まとめて 1 本の配線をもつようにメモリ構成を工夫したものである。読み出し速度が 1 桁遅くなるが、磁気メモリに比べたらまだまだ 1000 倍以上速いために、全く問題にならない。書換えも磁気メモリはシリアルアクセスであるから、ブロック単位でしか書き換ええない。舩岡はあくまでも磁気メモリ置き換えが目的なのである。舩岡の不揮発性半導体メモリのコスト中心のこの大局観が後年、DRAM で行き詰まった東芝の半導体メモリ事業を救うことになる。この工夫により NOR 型 Flash の約半分のセルサイズを実現している。1987年に半導体事業部から総合研究所に戻ったのは、この NAND 型 Flash を実現するためである。

文中、敬称を略させていただきます。今回は、舩岡富士雄氏の下で NAND 型 Flash 開発の推進役を担当しておられました白田理一郎氏の回想録などを元に、「NAND 型 Flash の

誕生」について記載致します。

(挿絵 奥山 明日香)

参考文献

1. William D. Brown, Joe E. Brewer, "Nonvolatile Semiconductor Memory Technology," IEEE PRESS.
2. D.Frohman-Bentchkowsky, "MEMORY BEHAVIOR IN A FLOATING-GATE AVALANCHE MOS (FAMOS) STRUCTURE," APPLIED PHYSICS LETTERS VOLUME18, NUMBER 8 15 APRIL 1971.
3. D.KAHNG and S.M.SZE, "A Floating Gate and Its Application to Memory Devices," THE BELL SYSTEM TECHNICAL JOURNAL, JULY-AUGUST 1967.
4. 工業調査会発行 西澤潤一、大内淳義共編『日本の半導体開発 劇的發展を支えたパイオニア25人の証言』
5. H.Iizuka, T.Sato, F.Masuoka, K.Ohuchi, H.Hara, H.Tango, M.Ishikawa, and Y.Takeishi, "Stacked gate avalanche injection type MOS (SAMOS) memory," Proc.4th Conf. Sol. St. Dev., Tokyo, 1972; J. Japan
6. 米国特許：US3500142A
7. E.Harari, L.Schmitz, B.Troutman, and S.Wang, "A 256bit non-volatile static RAM," IEEE ISSCC Dig. Tech. Pap. , p.108, 1978.
8. 米国特許：US4115914
9. 舩岡富士雄, "特許を取り開発で勝って事業で負ける理由," NIKKEI BizTech No.008, p20-p25, 技術者問題を考える-問題提起①
10. 東芝：プレスリリース (2002.10.10)_files
11. 米国特許：US4203158A
12. 白田理一郎 回想録『NAND Flash の開発の経緯』

次回

第31回 半導体の歴史
—その30 20世紀後半 超 LSI への道—
1980年代後半から1990年前半
NAND 型 Flash の誕生